

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-308076

(43)Date of publication of application : 02.11.2001

(51)Int.Cl.

H01L 21/3065

G03F 7/40

H01L 21/28

H01L 21/027

H01L 21/3213

H01L 29/78

(21)Application number : 2000-127514

(71)Applicant : NEC CORP

(22)Date of filing : 27.04.2000

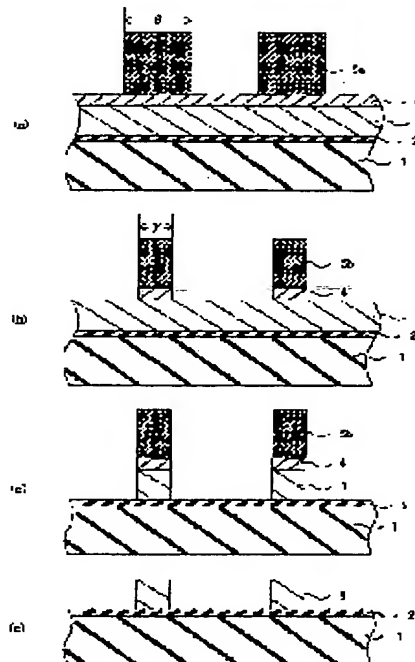
(72)Inventor : YOSHIDA KAZUYOSHI  
IKEZAWA NOBUYUKI

## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing a semiconductor device, having gate electrodes finer than a mask pattern formed by the photolithography, without increasing the number of steps and the manufacturing cost.

**SOLUTION:** An insulation film 2 is formed on a semiconductor substrate 1, a conductive layer 3 is formed on the insulation film 2, an organic material layer 4 is formed on the conductive layer 3, a first mask pattern 5a of a mask size  $\beta$  is formed on an organic material layer 4 using photolithography, the organic material layer 4 is etched with a mixed gas of  $\text{Cl}_2$  and  $\text{O}_2$ , the first mask pattern 5a is shrunk to form a second mask pattern 5b of a mask size  $\gamma (< \beta)$ , the conductive layer 3 is etched using this mask pattern 5b as a mask, and the mask pattern 5b and the organic material layer 4 are removed to obtain gate electrodes 6 of a size smaller than the mask size  $\beta$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-308076

(P2001-308076A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト <sup>7</sup> (参考)
H 0 1 L 21/3065		G 0 3 F 7/40	5 2 1 2 H 0 9 6
G 0 3 F 7/40	5 2 1	H 0 1 L 21/28	F 4 M 1 0 4
H 0 1 L 21/28		21/302	J 5 F 0 0 4
21/027		21/30	5 7 0 5 F 0 3 3
21/3213		21/88	D 5 F 0 4 0
審査請求 未請求 請求項の数15 O L (全 13 頁) 最終頁に続く			

(21)出願番号 特願2000-127514(P2000-127514)

(22)出願日 平成12年4月27日(2000.4.27)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉田 和由

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 池澤 延幸

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100104916

弁理士 古溝 聡 (外1名)

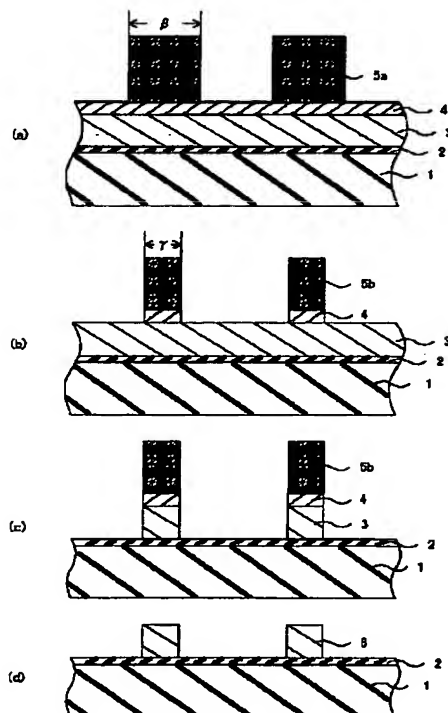
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 工程数及び製造コストを増加させることなく、フォトリソグラフィ技術によって形成されたマスクパターンより微細なゲート電極を有する半導体装置の製造方法を提供する。

【解決手段】 半導体基板1上に絶縁膜2を形成し、絶縁膜2上に導電層3を形成する。導電層3上に有機材料層4を形成し、フォトリソグラフィ技術を用いて、有機材料層4上に、マスク寸法 $\beta$ の第1のマスクパターン5aを形成する。 $Cl_2$ と $O_2$ との混合ガスを用いて、有機材料層4をエッチングすると共に、第1のマスクパターン5aをシュリンクさせ、マスク寸法 $\gamma$  ( $< \beta$ )の第2のマスクパターン5bを形成する。第2のマスクパターン5bをマスクとして、導電層3をエッチングし、第2のマスクパターン5bと有機材料層4とを除去する。これにより、マスク寸法 $\beta$ より寸法の小さいゲート電極6を得る。



## 【特許請求の範囲】

【請求項1】半導体基板上に、絶縁膜を形成する工程と、  
前記絶縁膜上に、導電層を形成する導電層形成工程と、  
前記導電層上に、有機材料層を形成する有機材料層形成工程と、  
前記有機材料層上に、フォトリソトから成るフォトリソトマスクパターンを形成するフォトリソトマスクパターン形成工程と、  
前記フォトリソトマスクパターンをシュリンクさせると共に、シュリンクしつつあるフォトリソトマスクパターンをマスクとして前記有機材料層をエッチングし、  
前記フォトリソトマスクパターンよりマスク寸法の小さいシュリンクマスクパターンを形成するシュリンクマスクパターン形成工程と、  
前記シュリンクマスクパターンをマスクとして、前記導電層をエッチングする導電層エッチング工程と、  
を備えることを特徴とする半導体装置の製造方法。

【請求項2】前記シュリンクマスクパターン形成工程は、前記フォトリソトマスクパターンに対する前記有機材料層のエッチング選択比が0.8から1.3となるエッチング条件を用いて、前記有機材料層をエッチングすると共に、前記フォトリソトマスクパターンをシュリンクさせて前記シュリンクマスクパターンを形成する工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記シュリンクマスクパターン形成工程は、 $Cl_2$ （塩素）と $O_2$ （酸素）との混合ガスから成るエッチングガスを用いて、前記有機材料層をエッチングすると共に、前記フォトリソトマスクパターンをシュリンクさせて前記シュリンクマスクパターンを形成する工程を含むことを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】前記シュリンクマスクパターン形成工程は、 $Cl_2$ と $O_2$ との混合比が1:1のエッチングガスを用いて、前記有機材料層をエッチングすると共に、前記フォトリソトマスクパターンをシュリンクさせて前記シュリンクマスクパターンを形成する工程を含むことを特徴とする請求項1乃至3の何れか1項に記載の半導体装置の製造方法。

【請求項5】前記シュリンクマスクパターン形成工程は、 $Cl_2$ と $O_2$ と不活性ガスとの混合ガスを用いて、前記有機材料層をエッチングすると共に、前記フォトリソトマスクパターンをシュリンクさせて前記シュリンクマスクパターンを形成する工程を含むことを特徴とする請求項1乃至3の何れか1項に記載の半導体装置の製造方法。

【請求項6】前記シュリンクマスクパターン形成工程は、不活性ガスとしてHe（ヘリウム）又はAr（アルゴン）を用いる工程を含むことを特徴とする請求項5に

記載の半導体装置の製造方法。

【請求項7】前記シュリンクマスクパターン形成工程は、前記半導体基板上に、20～40Wのバイアスパワーを印加する工程を含むことを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置の製造方法。

【請求項8】前記シュリンクマスクパターン形成工程は、1～1.3Paの圧力雰囲気下で前記有機材料層をエッチングすると共に前記フォトリソトマスクパターンをシュリンクさせてシュリンクマスクパターンを形成する工程を含むことを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置の製造方法。

【請求項9】前記有機材料層形成工程は、厚さ50～150nmの有機材料層を形成する工程を含むことを特徴とする請求項1乃至8の何れか1項に記載の半導体装置の製造方法。

【請求項10】前記導電層のパターニング後、前記フォトリソトマスクパターンとシュリンクマスクパターンとを同時に除去する工程をさらに備えることを特徴とする請求項1乃至9の何れか1項に記載の半導体装置の製造方法。

【請求項11】半導体基板上に、絶縁膜を形成する工程と、  
前記絶縁膜上に、導電層を形成する導電層形成工程と、  
前記導電層上に、フォトリソトパターンを形成するフォトリソトパターン形成工程と、  
前記フォトリソトパターンをシュリンクさせるエッチングガスを用いて、前記フォトリソトパターンをシュリンクさせて、前記フォトリソトパターンより寸法の小さいシュリンクマスクパターンを形成するシュリンクマスクパターン形成工程と、  
前記シュリンクマスクパターンをマスクとして、前記導電層をエッチングする導電層エッチング工程と、  
を備えることを特徴とする半導体装置の製造方法。

【請求項12】被パターニング層を形成し、  
前記被パターニング層上に、被パターニング層とはエッチングレートが異なるマスク層を形成し、  
前記マスク層上に、所定パターンを有するパターン層を形成し、  
前記パターン層と前記マスク層とを共にエッチングするエッチングガスを用いて、前記パターン層を等方性エッチングしてシュリンクさせながら、シュリンクしつつあるパターン層をマスクとして、前記マスク層をエッチングして、所定パターンよりもパターン寸法の小さいマスクパターンを形成し、  
前記マスクパターンをマスクとして、前記被パターニング層をエッチングする、  
ことを特徴とする半導体装置の製造方法。

【請求項13】前記パターン層と前記マスク層とのエッチングを、前記パターン層と前記マスク層とのエッチング選択比が0.8から1.3となるエッチング条件で実

行することを特徴とする請求項 12 に記載の半導体装置の製造方法。

【請求項 14】前記被パターニング層は、導電層から構成され、

前記マスク層は有機材料から構成され、

前記パターン層はフォトリソグラフィ技術によって形成されるレジストパターンをマスクとして、

前記パターン層と前記マスク層とのエッチングを、 $Cl_2$ （塩素）と $O_2$ （酸素）とを含むエッチングガスを用いて行うことを特徴とする請求項 12 又は 13 に記載の半導体装置の製造方法。

【請求項 15】前記被パターニング層のパターニング後、前記マスク層と前記マスクパターンとを 1 つの処理工程で除去する、ことを特徴とする請求項 12 乃至 14 の何れか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、フォトリソグラフィ技術を用いてゲート電極を形成する方法に関する。

【0002】

【従来の技術】半導体装置の微細化・高集積化に伴い、ゲート絶縁膜は薄膜化され、ゲート電極は微細化されてきている。ゲート絶縁膜の膜厚、及び、ゲート電極の幅は、トランジスタの性能を決定する重要な要素であるため、トランジスタの高性能化のためには、薄膜化されたゲート絶縁膜上に微細なゲート電極を高精度に加工する技術は必須となっている。

【0003】一般的に、MOS トランジスタのゲート電極は、半導体基板上にゲート絶縁膜を形成し、ゲート絶縁膜上にポリシリコン膜を形成し、フォトリソグラフィ技術により、ポリシリコン膜上に、ゲート電極を形成するためのマスクパターンを有するレジスト膜を形成し、そのレジスト膜をマスクとして、ポリシリコン膜をドライエッチングし、最後にレジスト膜を除去することにより形成される。

【0004】従って、ゲート電極の寸法（幅）は、フォトリソグラフィ技術によって形成されるマスクパターンのマスク寸法により決定される。このため、ゲート電極の最小寸法は、フォトリソグラフィ技術の性能に依存し、フォトリソグラフィ技術によって形成可能なマスク寸法より小さくすることは困難であった。

【0005】そこで、ターゲット層に、フォトリソグラフィ技術によって形成されるレジストパターンのマスク寸法よりも小さな寸法の溝または穴を形成することを目的としたパターン形成法が、特開平 6-244156 号公報に記載されている。

【0006】このパターン形成方法では、基板の上に形成された第 1 の層上に、フォトリソグラフィ技術を用いてレジストパターンを形成し、そのレジストパターンを等方性エッチングすることにより、マスク寸法を小さく

している。この小さいマスク寸法のレジストパターンをマスクとして第 1 の層をエッチングした後、基板上に第 2 の層を形成する。その後、第 2 の層を第 1 の層の上面までエッチバックし、第 1 の層を除去することにより、第 2 の層に、フォトリソグラフィ技術によって形成されるレジストパターンのマスク幅よりも小さな寸法の溝または穴を形成している。

【0007】上記特開平 6-244156 号公報に記載されている方法を用いて、MOS トランジスタのゲート電極を形成する場合、以下のような手法が考えられる。

【0008】まず、図 11 (a) に示すように、半導体基板 101 上にゲート絶縁膜 102 を形成し、続いて、ゲート絶縁膜 102 上にゲート電極材料としてポリシリコン膜 103 を形成し、ポリシリコン膜 103 上にレジストパターン 104 a を形成する。

【0009】次に、レジストパターン 104 a の等方性エッチングを行い、図 11 (b) に示すようにレジストパターン 104 a のマスク寸法を小さくする。続いて、図 11 (c) に示すように、マスク寸法が小さくなったマスクパターン 104 b をマスクとして、ポリシリコン膜 103 を異方性エッチングする。

【0010】最後に、マスクパターン 104 b を除去することにより、図 11 (d) に示すように、フォトリソグラフィ技術によって形成されるレジストパターン 104 a のマスク寸法よりも小さな寸法のゲート電極 105 を形成することができる。

【0011】より微細なゲート電極を形成するためには、ゲート電極の寸法は、フォトリソグラフィ技術によって形成するレジストパターンのマスク寸法よりも、より小さくしなければならない。そのためには、レジスト膜（レジストパターン）の膜厚をより薄くする必要がある。

【0012】しかし、等方性エッチングを行ってレジストパターンのマスク寸法を小さくしてマスクパターンを形成した後、異方性エッチングを行う際、ポリシリコン膜と共にマスクパターンも異方性エッチングされる。このため、レジスト膜の膜厚が薄いと、異方性エッチングの間にマスクパターンがエッチングされて薄くなり、十分な膜厚及びマスク寸法を確保することができなくなる。その結果、ポリシリコン膜（ゲート電極）の肩部が局所的にエッチングされるという問題が生じる。

【0013】そこで、レジスト膜を形成する前に、ポリシリコン膜上に、ポリシリコンとのエッチング選択比の高い  $SiO_2$ （二酸化ケイ素）や、 $SiN$ （窒化ケイ素）等から成る中間層を形成する方法が考えられる。この方法では、レジスト膜をパターニングした後、等方性エッチングによりマスク寸法を小さくし、さらに、異方性エッチングにより中間層をパターニングして、この中間層パターンをマスクとしてポリシリコン膜をパターニングしてゲート電極を形成する。

【0014】この方法によれば、等方性エッチング及び異方性エッチングの2段階のエッチングでレジスト膜が完全にエッチングされても、選択比の高い中間層がポリシリコン膜上に存在するため、ポリシリコン膜の肩部がエッチングされることを防ぐことができる。

【0015】

【発明が解決しようとする課題】しかし、この方法では、ポリシリコン膜をパターンニングするために、(1)レジストパターン形成し、(2)該レジストパターンを等方性エッチングして、マスク寸法を小さくし、(3)マスク寸法の小さいレジストパターン(マスクパターン)を用いて中間層を異方性エッチングし、(4)中間層のパターンと残存しているマスクパターンとをマスクとして、ポリシリコン膜をエッチングによりパターンニングして、ゲート電極を形成し、(5)マスクパターンと中間層のパターンとを別々の工程で順次除去しなければならない。

【0016】このため、工程数が増え、製造コストの増加につながっていた。

【0017】本発明は、上記実状に鑑みてなされたものであり、工程数及び製造コストを増加させることなく、フォトリソグラフィ技術によって形成されたレジストパターンより微細なゲート電極を有する半導体装置の製造方法を提供することを目的とする。

【0018】また、本発明は、微細なパターンを有し、信頼性の高い半導体装置の製造方法を提供することを他の目的とする。

【0019】

【課題を解決するための手段】上記目的を解決するため、本発明の第1の観点にかかる半導体装置の製造方法は、半導体基板上に、絶縁膜を形成する工程と、前記絶縁膜上に、導電層を形成する導電層形成工程と、前記導電層上に、有機材料層を形成する有機材料層形成工程と、前記有機材料層上に、フォトレジストから成るフォトレジストマスクパターンを形成するフォトレジストマスクパターン形成工程と、前記フォトレジストマスクパターンをシュリンクさせると共に、シュリンクしつつあるフォトレジストマスクパターンをマスクとして前記有機材料層をエッチングし、前記フォトレジストマスクパターンよりマスク寸法の小さいシュリンクマスクパターンを形成するシュリンクマスクパターン形成工程と、前記シュリンクマスクパターンをマスクとして、前記導電層をエッチングする導電層エッチング工程と、を備えることを特徴とする。

【0020】上記方法によれば、有機材料層のエッチングと並行してフォトレジストマスクパターンのシュリンクが進行する。そのため、フォトレジストマスクパターンのマスク寸法は小さくなり、同時に進行するエッチングによって、有機材料層は小さいマスク寸法とほぼ等しい寸法に加工される。よって、導電層をフォトレッチ

ングプロセスにより形成されるフォトレジストマスクパターンの寸法より微細に加工することができる。

【0021】また、有機材料層の材質を適当に選択することにより、導電層を適切にエッチングすることができる。信頼性の高い半導体装置を提供することができる。

【0022】しかも、フォトレジストマスクパターンのシュリンクと有機材料層のエッチングとを並行して実行できるので、工程数を抑えることができる。

【0023】前記シュリンクマスクパターン形成工程では、前記フォトレジストマスクパターンに対する前記有機材料層のエッチング選択比が0.8から1.3となるエッチング条件を用いて前記有機材料層をエッチングする。より精度よく有機材料層のエッチングとマスクパターンのシュリンクを行うためには、エッチング選択比を1とすることが望ましい。

【0024】有機材料層をエッチングする際、エッチング選択比を1とすることにより、有機材料層の側壁にサイドエッチを生じさせることなくフォトレジストマスクパターンをシュリンクさせることができる。よって、導電層をエッチングする際、形状のよいパターンを形成することができる。

【0025】前記エッチングガスとして、例えば、 $\text{Cl}_2$ (塩素)と $\text{O}_2$ (酸素)との混合ガスを用いることができる。 $\text{Cl}_2$ と $\text{O}_2$ との混合ガスを用いることにより、反応生成物である $\text{CCl}_4$ (四塩化炭素)がデポジション成分として作用し、フォトレジストマスクパターンが必要以上にシュリンクすることを防ぐことができる。

【0026】また、 $\text{Cl}_2$ と $\text{O}_2$ との混合比を1:1とすることによって、フォトレジストマスクパターンのシュリンク量のばらつきを小さくすることができる。

【0027】ガスの流量は、例えば、10~60 sccmの $\text{Cl}_2$ (塩素)と10~60 sccmの $\text{O}_2$ (酸素)である。

【0028】また、 $\text{Cl}_2$ と $\text{O}_2$ との混合ガスから成るエッチングガスに不活性ガス、例えばHe(ヘリウム)又はAr(アルゴン)を添加することにより、フォトレジストマスクパターンのシュリンク量を制御することができる。

【0029】また、前記シュリンクマスクパターン形成工程では、前記半導体基板上に印加するバイアスパワーを20~40Wとすることが望ましい。

【0030】半導体基板上に印加するバイアスパワーが大きいと、半導体基板上に入射するイオンのエネルギーが大きくなり、フォトレジストマスクパターンが疎の領域では、マスクの側面に十分にエッチングガスが行き渡らず、シュリンクしにくい。よって、半導体基板上に印加するバイアスパワーを20~40Wとすることにより、フォトレジストマスクパターンのシュリンク量のばらつきを小さくすることができる。その結果、シュリンクマス

クパターンのぼらつきを小さくすることができ、導電層を高精度にパターンニングすることができる。

【0031】また、前記シュリンクマスクパターン形成工程は、1~1.3Paの圧力雰囲気下で前記有機材料層をエッチングすると共に前記フォトリソマスクパターンをシュリンクさせてシュリンクマスクパターンを形成することが望ましい。圧力が極端に低いと、反応生成物が堆積しにくく、フォトリソマスクパターンがエッチングガスにさらされやすくなるため、シュリンク量が多くなる。特に、パターンが疎の領域でのシュリンク量が多くなる。また、圧力が極端に高いと、反応生成物が必要以上に堆積してしまい、シュリンク量は少なくなる。特に、パターンが疎の領域でのシュリンク量が少なくなる。よって、適正な圧力が1~1.3Paである。これにより、フォトリソマスクパターンのシュリンク量のぼらつきを小さくすることができる。従って、シュリンクマスクパターンのぼらつきを小さくすることができ、高精度の導電パターンを形成することができる。

【0032】また、前記有機材料層は、厚さ50~150nmとすることが望ましい。有機材料層を厚さ50~150nmとすることにより、エッチング残りやオーバーエッチングをすることなく有機材料層をエッチングすることができる。

【0033】上記目的を解決するため、本発明の第2の観点にかかる半導体装置の製造方法は、被パターンニング層を形成し、前記被パターンニング層上に、被パターンニング層とはエッチングレートが異なるマスク層を形成し、前記マスク層上に、所定パターンを有するパターン層を形成し、前記パターン層と前記マスク層とを共にエッチングするエッチングガスを用いて、前記パターン層を等方性エッチングしてシュリンクさせながら、シュリンクしつつあるパターン層をマスクとして、前記マスク層をエッチングして、所定パターンよりもパターン寸法の小さいマスクパターンを形成し、前記マスクパターンをマスクとして、前記被パターンニング層をエッチングする、ことを特徴とする。

【0034】上記方法によれば、パターン層をシュリンクさせることにより、所定パターンより寸法の小さいマスクパターンを形成することができる。このマスクパターンをマスクとして、被パターンニング層をエッチングすることにより、所定パターンより寸法の小さいパターンを形成することができる。

【0035】よって、フォトリソグラフィ技術によって形成されるマスクパターンより寸法の小さいゲート電極を形成することができる。しかも、パターン層とマスク層のエッチングとを並行して実行できるので、工程数を抑えることができる。

【0036】

【発明の実施の形態】以下に、本発明の実施の形態に係

る半導体装置の製造方法を図面を用いて説明する。本実施の形態では、MOSトランジスタのゲート電極の形成方法について説明する。本実施の形態では、0.13μmのゲート電極を±10%の精度で形成する方法を説明する。

【0037】まず、図1(a)に示すように、半導体基板(ウエハ)1上に、厚さ2.6nmのゲート絶縁膜2を形成し、その上に、CVD法(化学気相成長法)等を用いて、厚さ150nmのポリシリコン膜3を形成する。続いて、ポリシリコン膜3上に、厚さ150nmの有機系反射防止膜4を形成する。

【0038】次に、スピコート法等を用いて、反射防止膜4上にレジストを塗布し、KrFエキシマレーザ光を用いた投影露光法により、マスク寸法β(例えば、0.17μm)、厚さ480nmのフォトリソパターン5aを形成する。

【0039】次に、図1(b)に示すように、Cl<sub>2</sub>(塩素)とO<sub>2</sub>(酸素)との混合ガスをエッチングガスとして、反射防止膜4をエッチングすると共に、フォトリソパターン5aをエッチングしてシュリンクさせる(ライン幅を細める)。

【0040】このとき、ゲート電極寸法(0.13μm)の±10%以内の精度で、フォトリソパターン5aを0.04μmシュリンクさせるため、本実施の形態では、ICP(誘導結合プラズマ)タイプのエッチング装置を用い、以下のエッチング条件で反射防止膜4をエッチングする。

【0041】反射防止膜4のエッチング時のエッチング条件は、フォトリソパターン5aに対する反射防止膜4のエッチング選択比が1となるようにし、Cl<sub>2</sub>/O<sub>2</sub>流量=20/20sccm、チャンバ内の圧力を1Pa、上部電極に印加するソースパワーを200W、ウエハに印加するバイアスパワーを20Wとする。

【0042】また、ICPタイプのエッチング装置を用いることにより、チャンバ内が低圧力であっても高密度のプラズマを生成することができ、プラズマ密度と入射イオンエネルギーとを独立に制御することができるため、上記エッチング条件で、ゲート電極寸法の±10%以内の精度でフォトリソパターン5aをシュリンクさせることができる。

【0043】また、エッチングガスとしてCl<sub>2</sub>とO<sub>2</sub>との混合ガスを用いることにより、反応生成物であるCCl<sub>4</sub>(四塩化炭素)がデポジション成分として作用し、フォトリソパターン5aが必要以上にシュリンクするのを防ぐことができる。

【0044】上記エッチング条件を用いることにより、反射防止膜4をエッチングすると同時に、フォトリソパターン5aを約0.04μmシュリンクさせることができる。よって、図1(b)に示すように、マスク寸法γ(例えば、0.13μm)のシュリンクマスクパタ

ーン5bが形成される。

【0045】次に、ポリシリコン膜3上に堆積した $\text{Cl}_4$ を除去するため、 $\text{Cl}_2$ 流量50sccm、圧力0.7Pa、ソースパワー250W、バイアスパワー100Wのエッチング条件で、ポリシリコン膜3の表面処理を行う。ポリシリコン膜3の表面処理に用いるエッチングガスは、 $\text{CF}_4$ （四フッ化炭素）ガスでもよい。

【0046】ポリシリコン膜3の表面処理後、シュリンクマスクパターン5bをマスクとして、 $\text{Cl}_2/\text{HBr}$ （臭化水素）/ $\text{CF}_4$ 流量=50/90/40sccm、圧力0.7Pa、ソースパワー300W、バイアスパワー60Wのエッチング条件で、ゲート絶縁膜2が表出する前まで、ポリシリコン膜3をドライエッチングする。

【0047】続いて、エッチング条件を変え、 $\text{HBr}/\text{O}_2/\text{He}$ （ヘリウム）=150/1.5/50sccm、圧力8Pa、ソースパワー250W、バイアスパワー75Wとしてオーバーエッチングを行い、残りのポリシリコン膜3をエッチングする。

【0048】最後に、シュリンクマスクパターン5bと反射防止膜4とを除去する。

【0049】以上の工程により、図1（d）に示すように、ゲート電極6を形成することができる。形成されたゲート電極6は、ゲート電極寸法の $\pm 10\%$ 以内の精度で形成されたシュリンクマスクパターン5bをマスクとして形成されているため、ゲート電極6も $\pm 10\%$ の寸法精度で形成されている。

【0050】以上説明したように、反射防止膜4をエッチングする際、エッチングガスとして、 $\text{Cl}_2$ と $\text{O}_2$ との混合ガスを用いることにより、反射防止膜4のエッチングと同時に、フォトレジストパターン5aをシュリンクさせることができる。そのシュリンクした結果形成されたシュリンクマスクパターン5bをマスクとしてポリシリコン膜3をエッチングすることにより、微細なゲート電極6を形成することができる。従って、フォトレジスト技術で形成したフォトレジストパターン5aのマスク寸法 $\beta$ より小さい寸法 $\gamma$ のゲート電極6を形成することができる。

【0051】しかも、この方法では、（1）フォトレジストパターン5aをエッチングして、マスク寸法を小さくする工程と反射防止膜4をエッチングする工程とを並行して実施し、（2）シュリンクマスクパターン5bと反射防止膜4とを同一の工程で除去できる。従って、工程数の増加による製造コストの増加も抑えることができる。

【0052】本実施の形態では、反射防止膜4を形成したが、反射防止膜を形成しなくとも本発明を用いることができる。この場合、ポリシリコン膜上にレジスト膜を形成後、 $\text{Cl}_2$ と $\text{O}_2$ との混合ガスを用いてレジスト膜をシュリンクさせる。そして、そのシュリンクしたレジ

スト膜をマスクとしてポリシリコン膜をエッチングし、微細なゲート電極を形成する。ただし、レジストの露光に、 $\text{KrF}$ 、 $\text{ArF}$ 、 $\text{F}_2$ エキシマレーザ光を用いる場合は、下地からの反射の影響を軽減するため、反射防止膜を形成することが望ましい。

【0053】また、反射防止膜を形成しない場合、シュリンクによりマスクパターンの膜厚が極端に薄くなってゲート電極のマスクとして機能しなくなることを防ぐために、レジスト膜は厚く（例えば50nm以上に）形成することが望ましい。

【0054】また、本実施の形態では、フォトレジストパターン5aに対する反射防止膜4のエッチング選択比が1となるようなエッチング条件を用いて、フォトレジストパターン5aのシュリンクおよび反射防止膜4のエッチングを行ったが、所望のシュリンク量が得られ、かつ、反射防止膜4のサイドエッチ及びオーバーエッチングが生じなければ、上記値に限定されない。例えば、0.8～1.3としてもよい。

【0055】本実施の形態に示したゲート電極幅、エッチング条件等は一例であり、任意の幅のゲート電極を、様々なエッチング条件で形成することも可能である。

【0056】以下にその実施例として、様々なエッチング条件におけるフォトレジストパターン5aのシュリンク量について説明する。

【0057】

【実施例】以下の説明に用いるデータは、上述したゲート電極形成方法を用いて、8インチウエハ上に、5種類のスペース幅0.24、0.3、0.5、1.0、10.0 $\mu\text{m}$ のゲート電極を形成し、その5種類のスペース幅のゲート電極が形成された半導体チップを5つ選択し、各半導体チップにおいて、各スペース幅におけるマスクシュリンク量 $\alpha$ を測定したものである。マスクシュリンク量 $\alpha$ は、数式1に示すように定義する。

【0058】

【数1】 $\alpha = \gamma - \beta$

$\alpha$ は、マスクシュリンク量

$\beta$ は、フォトレジストパターン5aのマスク寸法

$\gamma$ は、シュリンクマスクパターン5aのマスク寸法

【0059】マスクシュリンク量 $\alpha$ は、数式1に示すように負の値となる。

【0060】まず、 $\text{Cl}_2$ と $\text{O}_2$ との混合ガスからなるエッチングガスの混合比を変えた場合について図2を用いて説明する。

【0061】図2（a）は、エッチングガスの総流量は一定とし、混合比を変化させたときのマスクシュリンク量 $\alpha$ とパターン疎密の関係を示し、図2（b）は、図2（a）に示す各エッチング条件で形成されたシュリンクマスクパターン5bの形状を示す。図2（b）に示すシュリンクマスクパターン5bは、半導体チップ上のスペース幅が0.24 $\mu\text{m}$ である領域におけるマスクパター



ンである。エッチングガス以外のエッチング条件は、圧力0.4Pa、ソースパワー200W、バイアスパワー20Wとする。

【0062】図2(a)に示すように、 $Cl_2$ と $O_2$ との混合ガスのうち $Cl_2$ の割合を増加させると、マスクシュリンク量 $\alpha$ は減少する。よって、図2(b)に示すように、 $Cl_2$ の割合が多くなるのに従い、形成されるマスク寸法 $\gamma$ は大きくなる。

【0063】このように、エッチングガスの混合比を変えることにより、マスクシュリンク量 $\alpha$ を制御することができる。

【0064】また、図2(a)に示すように、マスクシュリンク量 $\alpha$ のばらつきは、各条件とも $\pm 0.01\mu m$ 程度となっており、各条件とも、パターンの疎密によるマスクシュリンク量 $\alpha$ のばらつきは、ほとんど生じていないといえる。

【0065】しかし、 $Cl_2$ の割合を増加すると、ポリシリコン膜3の表面に形成されている自然酸化膜に対する反射防止膜4のエッチング選択比が低下し、ポリシリコン膜3が局所的にエッチングされるという問題が生じるおそれがある。このため、エッチングガスの混合比は、 $Cl_2/O_2 = 20/20 sccm$ 又は $24/16 sccm$ とすることが望ましい。

【0066】次に、ウエハに印加するバイアスパワーを変化させた場合について図3を用いて説明する。

【0067】図3(a)は、バイアスパワーを変化させたときのマスクシュリンク量 $\alpha$ とパターン疎密の関係を示し、図3(b)は、図3に示す各エッチング条件で形成されたシュリンクマスクパターン5bの形状を示す。図3(b)に示すシュリンクマスクパターン5bは、半導体チップ上のスペース幅が $0.24\mu m$ である領域におけるマスクパターンである。バイアスパワー以外のエッチング条件は、 $Cl_2/O_2$ 流量 $= 20/20 sccm$ 、圧力0.4Pa、ソースパワー200Wとする。

【0068】図3(a)に示すように、バイアスパワーの増加に伴い、マスクシュリンク量 $\alpha$ は減少している。よって、シュリンクマスクパターン5bのマスク寸法 $\gamma$ は、図3(b)に示すように、バイアスパワーが高くなるに従い、大きくなる。

【0069】よって、バイアスパワーを変えることでもマスクシュリンク量 $\alpha$ を制御することができる。

【0070】しかし、図3(a)に示すように、バイアスパワーが40Wであるとき、マスクシュリンク量 $\alpha$ のばらつきは、 $\pm 0.01\mu m$ 以上と大きくなっており、また、バイアスパワーの増加に伴い、疎のパターン部におけるマスクシュリンク量 $\alpha$ が減少する傾向にある。

【0071】また、バイアスパワーが増加することにより、半導体基板1上に入射するイオンのエネルギーも増加するため、マスクパターンの側面に比べ、上面がエッチングガスにさらされる割合が高くなるため、図3

(b)に示すように、シュリンクマスクパターン5bの膜厚の減少率が高くなる。

【0072】よって、十分なマスク膜厚が得られ、しかも精度よくシュリンクさせるためには、バイアスパワーを20Wとすることが望ましい。

【0073】次に、エッチング装置のチャンバ内の圧力を変化させた場合について図4を用いて説明する。

【0074】図4(a)は、圧力を変化させたときのマスクシュリンク量 $\alpha$ とパターン疎密の関係を示し、図4(b)は、図4に示す各エッチング条件で形成されたシュリンクマスクパターン5bの形状を示す。図4(b)に示すシュリンクマスクパターン5bは、半導体チップ上のスペース幅が $0.24\mu m$ である領域におけるマスクパターンである。圧力以外のエッチング条件は、 $Cl_2/O_2$ 流量 $= 20/20 sccm$ 、ソースパワー200W、バイアスパワー20Wとする。

【0075】図4(a)に示すように、圧力の増加に伴い、マスクシュリンク量 $\alpha$ は減少する。よって、チャンバ内の圧力を変えることでもマスクシュリンク量 $\alpha$ を制御することができる。

【0076】しかし、圧力が極端に低い場合は、デポジション成分が少なくなるため、エッチャントの供給律速となり、エッチャントの進入しやすい疎パターン部でマスクシュリンク量 $\alpha$ が多くなる。一方、圧力が高い場合、デポジション成分が増加し、デポジション律速となり、デポジションの進入しやすい疎パターン部でマスクシュリンク量 $\alpha$ が少なくなる。よって、精度よくゲート電極を形成するためには、圧力を1Paとすることが望ましい。

【0077】次に、エッチングガスの総流量を変化させた場合について図5を用いて説明する。

【0078】図5は、 $Cl_2$ と $O_2$ との混合比を1:1に固定し、エッチングガスの総流量を変化させたときのマスクシュリンク量 $\alpha$ とパターン疎密の関係を示す。エッチングガス以外のエッチング条件は、圧力1Pa、ソースパワー200W、バイアスパワー20Wとする。

【0079】図5に示すように、各総流量とも、マスクシュリンク量 $\alpha$ は、 $-0.04\mu m$ 程度であり、そのばらつきは $\pm 0.01\mu m$ 程度となっている。よって、 $Cl_2$ と $O_2$ との混合比が1:1である場合、パターンの疎密に関わらず、ほぼ $0.04\mu m$ のシュリンク量でシュリンクマスクパターン5bを形成することができる。

【0080】次に、エッチングガスにHeガスを添加した場合について図6を用いて説明する。

【0081】図6は、エッチングガスにHeガスを添加したときのマスクシュリンク量 $\alpha$ とパターン疎密の関係を示す。他のエッチング条件は、 $Cl_2/O_2$ 流量 $= 20/20 sccm$ 、圧力1Pa、ソースパワー200W、バイアスパワー20Wとする。

【0082】図6に示すように、Heガスを添加するこ

とにより、マスクシュリンク量 $\alpha$ は減少する。Heガスを添加することにより、エッチングガスが希釈され、エッチングガスの排出が早まり、チャンバ内にデポジション成分(CCl<sub>4</sub>)がとどまっている時間が短くなる。よって、チャンバ内のデポジション成分が減少するため、マスクシュリンク量 $\alpha$ を減少させることができる。従って、Heガスの添加量を変えることにより、マスクシュリンク量 $\alpha$ を制御することができる。

【0083】本実施例では、エッチングガスにHeガスを添加して、マスクシュリンク量 $\alpha$ の制御を行ったが、他の不活性ガス、例えばAr(アルゴン)等を添加してもよい。

【0084】以上のように、反射防止膜4のエッチング時のエッチング条件を変えることにより、マスクシュリンク量 $\alpha$ を $-0.02\mu\text{m}\sim 0.06\mu\text{m}$ の範囲で制御することができる。よって、エッチング条件を変えることにより、異なる幅のゲート電極を容易に形成することができる。

【0085】上記実施例では、エッチング条件を変えることにより、シュリンク量を制御しているが、エッチング時間や反射防止膜4の膜厚を変えることによりマスクシュリンク量 $\alpha$ を制御することも可能である。

【0086】また、本実施の形態と同様の効果が得られれば、上記実施例以外のエッチング条件を用いることも可能である。

【0087】次に、異なるエッチング条件での、ゲート電極6のフォトレジストパターン5aからのシュリンク量 $l_1$ とウエハの連続処理枚数との関係を調べた。ゲート電極のフォトレジストパターン5aからのシュリンク量 $l_1$ は、数式2に示すように定義する。

【0088】

【数2】  $l_1 = L - \beta$

$l_1$ は、ゲート電極のフォトレジストパターン5aからのシュリンク量

$L$ は、ゲート電極6の寸法

$\beta$ は、フォトレジストパターン5aのマスク寸法

【0089】まず、反射防止膜4のエッチング時の圧力を2.6Paとしたときの、ゲート電極のフォトレジストパターン5aからのシュリンク量 $l_1$ と連続処理枚数との関係について図7を用いて説明する。

【0090】図7は、反射防止膜4のエッチング時のエッチング条件をCl<sub>2</sub>/O<sub>2</sub>流量=20/20sccm、圧力2.6Pa、ソースパワー400W、バイアスパワー40Wとし、ゲート電極幅0.154 $\mu\text{m}$ のトランジスタと、ゲート電極幅0.143 $\mu\text{m}$ のトランジスタと、Checkトランジスタ(動作確認用トランジスタ)とを形成した場合における、ゲート電極のフォトレジストパターン5aからのシュリンク量 $l_1$ の連続処理枚数依存性を示す。

【0091】図7に示すように、各トランジスタとも、

連続処理枚数の増加に伴い、ゲート電極のフォトレジストパターン5aからのシュリンク量 $l_1$ は徐々に増加している。圧力を2.5Paとした場合、連続処理枚数が増えるとマスクシュリンク量 $\alpha$ が増加し、形成されるゲート電極の寸法が小さくなる。

【0092】次に、反射防止膜4のエッチング時の圧力を1Paとしたときの、ゲート電極のフォトレジストパターン5aからのシュリンク量 $l_1$ と連続処理枚数との関係について図8を用いて説明する。

10 【0093】図8は、反射防止膜4のエッチング時のエッチング条件をCl<sub>2</sub>/O<sub>2</sub>流量=20/20sccm、圧力1Pa、ソースパワー200W、バイアスパワー20Wとし、Checkトランジスタと、SRAMと、Logic回路とを形成した場合における、ゲート電極のフォトレジストパターン5aからのシュリンク量 $l_1$ の連続処理枚数依存性を示す。

20 【0094】図8に示すように、各トランジスタとも、連続処理枚数に関わらず、ゲート電極のフォトレジストパターン5aからのシュリンク量 $l_1$ は安定している。よって、圧力を1Paとした場合、連続処理枚数に関わらず、安定して微細なゲート電極を形成することができる。

【0095】従って、圧力が極端に高いと、連続処理枚数の増加に伴い、ゲート電極のフォトレジストパターン5aからのシュリンク量 $l_1$ にばらつきが生じるため、圧力を1.3Pa以下とすることが適切であるといえる。より安定したゲート電極の形成を行うためには、圧力は1Paとすることが望ましい。

30 【0096】以上の測定結果より、寸法精度が $\pm 10\%$ の0.13 $\mu\text{m}$ のゲート電極形成に適したエッチング条件は、Cl<sub>2</sub>/O<sub>2</sub>流量=20/20sccm、圧力1Pa、ソースパワー200W、バイアスパワー20Wであるといえる。

【0097】上記エッチング条件を用いて実際にゲート電極を形成した結果を図9、図10に示す。

40 【0098】図9は、フォトレジストパターン5a、シュリンクマスクパターン5b及びゲート電極6の寸法と、パターン疎密の関係を示したものである。図10は、マスクシュリンク量 $\alpha$ 、ゲート電極のフォトレジストパターン5aからのシュリンク量 $l_1$ 、及び、ゲート電極のシュリンクマスクパターン5bからのシュリンク量 $l_2$ の各シュリンク量と、パターン疎密の関係を示したものである。ゲート電極のシュリンクマスクパターン5bからのシュリンク量 $l_2$ は、数式3に示すように定義する。

【0099】

【数3】  $l_2 = L - \gamma$

$l_2$ は、ゲート電極のシュリンクマスクパターン5bからのシュリンク量

$L$ は、ゲート電極6の寸法

yは、シュリンクマスクパターン5bのマスク寸法

【0100】測定結果から得られたエッチング条件を用いた結果、マスクシュリンク量 $\alpha$ は、図10に示すように、平均で $-0.038\mu\text{m}$ となった。よって、フォトレジストパターン5aは約 $0.04\mu\text{m}$ シュリンクしたといえる。

【0101】マスクシュリンク量 $\alpha$ のばらつきは、図10のグラフ31に示すように、ゲート電極寸法( $0.13\mu\text{m}$ )の $\pm 10\%$ 以内となっている。

【0102】ゲート電極のフォトレジストパターン5aからのシュリンク量 $l_1$ は、図10のグラフ33に示すように、平均で $-0.031\mu\text{m}$ となり、マスクシュリンク量 $\alpha$ に比べ、 $0.007\mu\text{m}$ 増えているが、その増加分は、以下に説明するゲート電極のシュリンクマスクパターン5bからのシュリンク量 $l_2$ であるので、本データよりゲート電極6が、ほぼシュリンクマスクパターン5bのマスクパターン通りに形成されたことがわかる。

【0103】シュリンクマスクパターン5bをマスクとしてポリシリコン膜3をエッチングするので、形成されるゲート電極6の寸法は、シュリンクマスクパターン5bのマスク寸法と同じ寸法になるはずだが、図9に示すように、ゲート電極6の寸法が、シュリンクマスクパターン5bのマスク寸法に比べ若干増えている。そのため、図10のグラフ32に示すように、ゲート電極のシュリンクマスクパターン5bからのシュリンク量 $l_2$ は、平均で $0.007\mu\text{m}$ となっている。しかし、この増加分は、フォトレジストパターン5aがシュリンクした際の、反射防止膜4のエッチング残りであり、わずかなものであるため、ゲート電極6は、ほぼシュリンクマスクパターン5bのマスクパターン通りに形成されたといえる。

【0104】ゲート電極6の寸法は、図9に示すように、平均で $0.136\mu\text{m}$ であり、そのばらつきは、 $\pm 0.01\mu\text{m}$ 以内となっている。

【0105】従って、図9、図10より、 $0.13\mu\text{m}$ のゲート電極を寸法精度 $\pm 10\%$ で形成することができたことがわかる。よって、本実施の形態の効果が得られたといえる。

【0106】上記実施の形態では、MOSトランジスタのゲート電極を形成する場合にこの発明を適用したが、この発明は上記実施の形態に限定されず、様々な場合に適用可能であり、例えば、任意のライン幅の配線(ワード線、ビット線、その他の配線)の形成に適用することができる。

【0107】

【発明の効果】以上説明したように、本発明を用いることにより、工程数及び製造コストを増加させることなく、フォトリソグラフィ技術によって形成されたマスクパターンより微細なゲート電極を有する半導体装置を製

造することができる。

【0108】また、本発明を用いることにより、微細なパターンを有し、信頼性の高い半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本実施の形態の製造工程を示す断面図である。

【図2】(a)は、エッチングガスの混合比を変化させたときのマスクシュリンク量 $\alpha$ とパターン疎密の関係を示し、(b)は、各エッチング条件で形成されたシュリンクマスクパターン5bの形状を示す。

【図3】(a)は、バイアスパワーを変化させたときのマスクシュリンク量 $\alpha$ とパターン疎密の関係を示し、(b)は、各エッチング条件で形成されたシュリンクマスクパターン5bの形状を示す。

【図4】(a)は、圧力を変化させたときのマスクシュリンク量 $\alpha$ とパターン疎密の関係を示し、(b)は、各エッチング条件で形成されたシュリンクマスクパターン5bの形状を示す。

【図5】 $\text{Cl}_2$ と $\text{O}_2$ との混合比を1:1に固定し、エッチングガスの総流量を変化させたときのマスクシュリンク量 $\alpha$ とパターン疎密の関係を示す。

【図6】エッチングガスにHeガスを添加したときのマスクシュリンク量 $\alpha$ とパターン疎密の関係を示す。

【図7】反射防止膜エッチング時の圧力を $2.6\text{Pa}$ としたときの、ゲート電極寸法のフォトレジストパターン5aからのシュリンク量 $l_1$ の連続処理枚数依存性を示す。

【図8】反射防止膜エッチング時の圧力を $1\text{Pa}$ としたときの、ゲート電極寸法のフォトレジストパターン5aからのシュリンク量 $l_1$ の連続処理枚数依存性を示す。

【図9】本発明のプロセス適用時の、フォトレジストパターン5a、シュリンクマスクパターン5b及びゲート電極6の寸法と、パターン疎密の関係を示す。

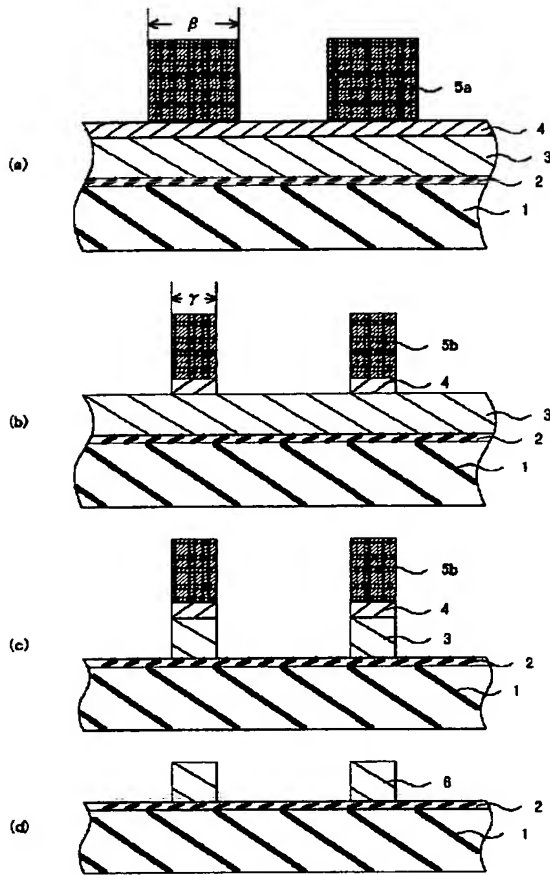
【図10】本発明のプロセス適用時の、マスクシュリンク量 $\alpha$ 、ゲート電極寸法のフォトレジストパターン5aからのシュリンク量 $l_1$ 、及び、ゲート電極寸法のシュリンクマスクパターン5bからのシュリンク量 $l_2$ の各シュリンク量と、パターン疎密の関係を示したものである。

【図11】従来の半導体装置の製造工程を示す断面図である。

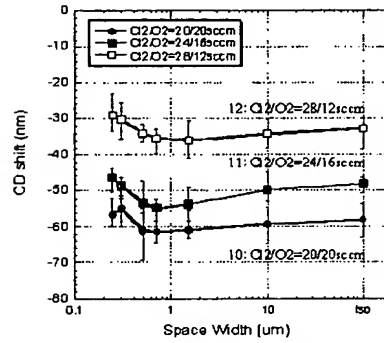
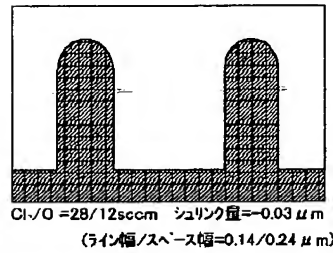
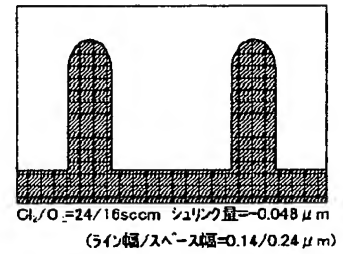
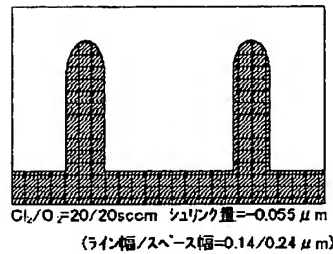
【符号の説明】

- |          |                       |
|----------|-----------------------|
| 1, 101   | 半導体基板                 |
| 2, 102   | ゲート絶縁膜                |
| 3, 103   | ポリシリコン膜               |
| 4        | 反射防止膜                 |
| 5a, 104a | フォトレジストパターン(レジストパターン) |
| 5b, 104b | シュリンクマスクパターン(マスクパターン) |

【図1】

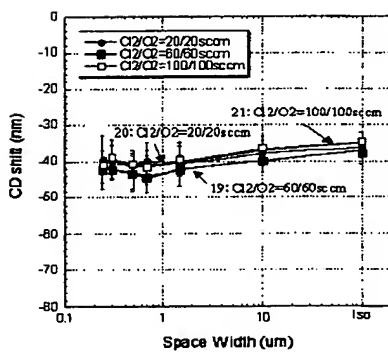


【図2】

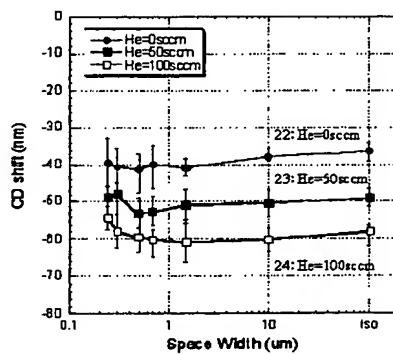
(a) シュリンク量の疎密依存性への Cl<sub>2</sub>、O<sub>2</sub>流量比の影響

(b)

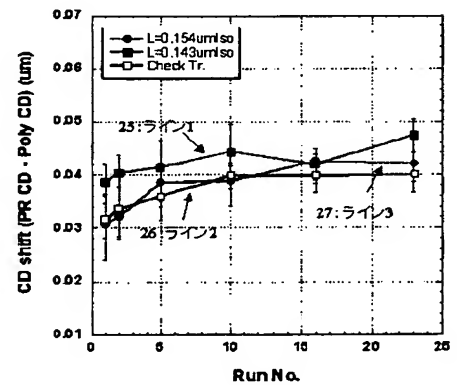
【図5】



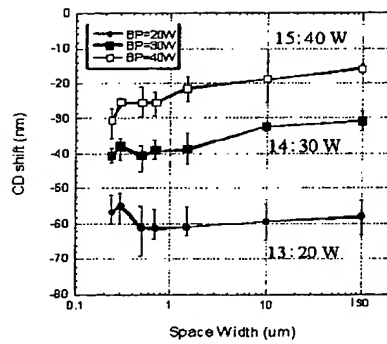
【図6】



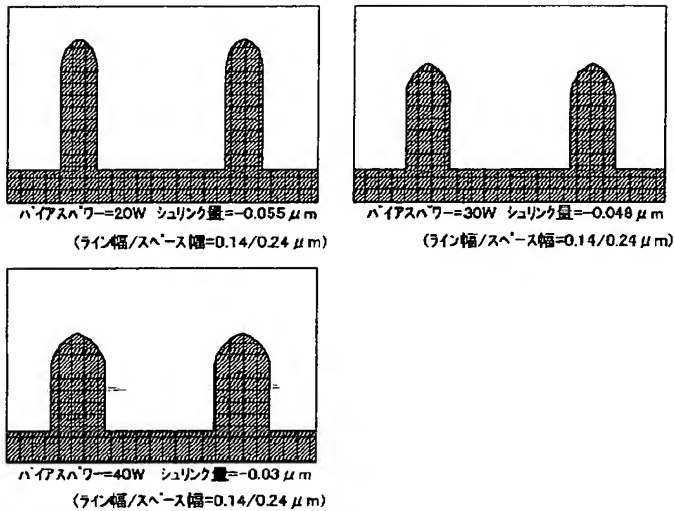
【図7】



【図3】

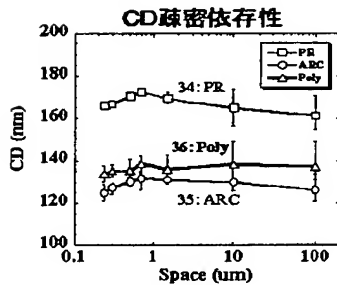


(a) シュリンク量の疎密依存性へのバイアスパワーの影響



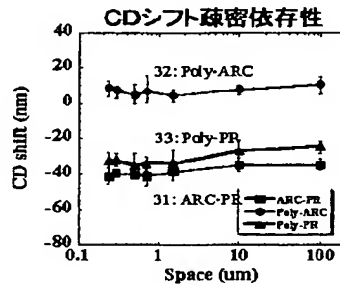
(b)

【図9】



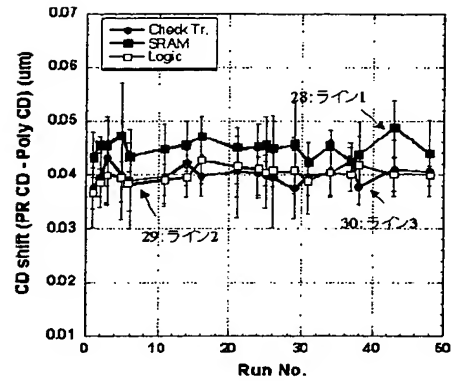
	CD	
	Ave.	Max-Min
34: PR	167.2nm	19.4nm
35: ARC	128.8nm	18.6nm
36: Poly	136.2nm	18.7nm

【図10】

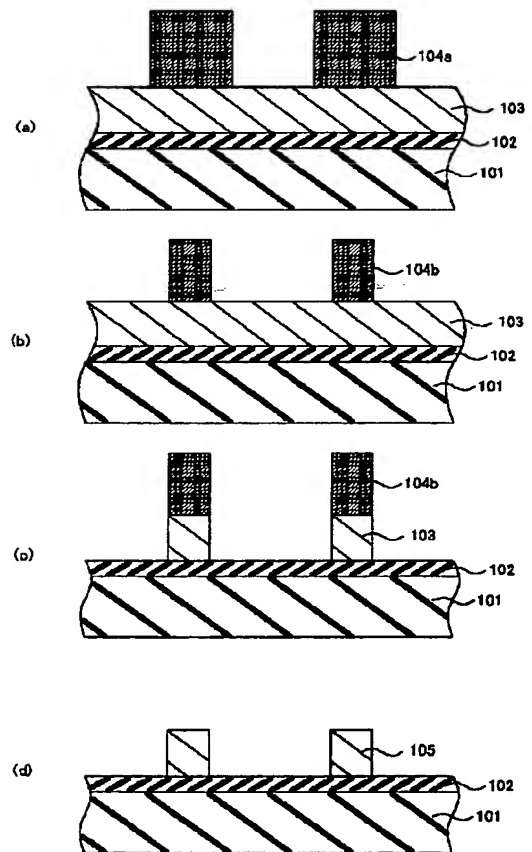


	CDシフト	
	Ave.	Max-Min
31: ARC-PR	-38.4nm	15.4nm
32: Poly-ARC	7.4nm	15.6nm
33: Poly-PR	-31.8nm	19.5nm

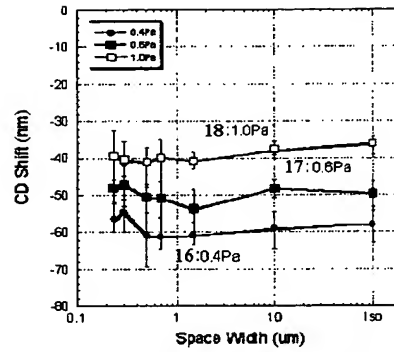
【図8】



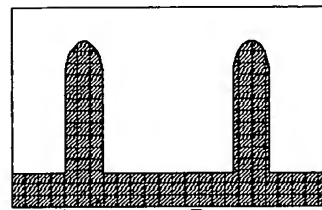
【図11】



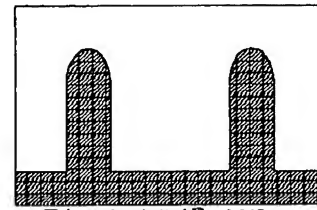
【図4】



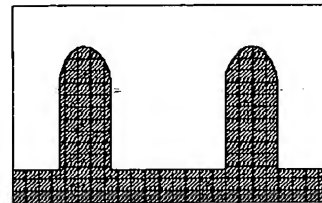
(a) シュリンク量の疎密依存性への圧力の影響



(ライン幅/スペース幅=0.14/0.24 μm)



(ライン幅/スペース幅=0.14/0.24 μm)



(ライン幅/スペース幅=0.14/0.24 μm)

(b)

フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 29/78

識別記号

F I

H01L 29/78

7-マコード (参考)

301G 5F046

F ターム(参考) 2H096 AA25 CA05 HA24 HA30  
4M104 AA01 BB01 CC05 DD43 DD65  
GG09 HH14  
5F004 DA00 DA01 DA04 DA22 DA23  
DA25 DA26 DB02 DB26 DB27  
EA22 EB02 EB08  
5F033 HH04 PP06 QQ04 QQ08 QQ09  
QQ11 QQ12 QQ15 QQ22 QQ93  
QQ94 RR04 VV06 XX03  
5F040 DB01 DC01 EC07 FC21  
5F046 AA28 NA18